

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) **KOREAN INTELLECTUAL PROPERTY OFFICE**

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020020068672**
A
 (43)Date of publication of application:
28.08.2002

(21)Application number: **1020010008859**
 (22)Date of filing: **22.02.2001**

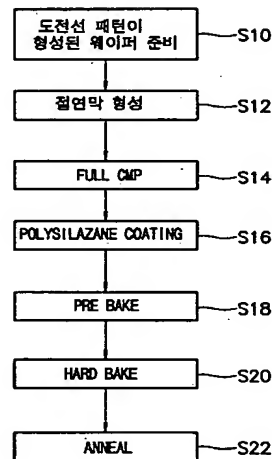
(71)Applicant: **SAMSUNG ELECTRONICS CO., LTD.**
 (72)Inventor: **CHO, YEONG JU
 HONG, EUN GI
 LEE, JU BEOM**

(51)Int. Cl **H01L 21/31**

(54) METHOD FOR FORMING INTERLAYER DIELECTRIC**(57) Abstract:**

PURPOSE: A method for forming an interlayer dielectric is provided to prevent generation of a crack when using an SOG(Spin On Glass) coating layer as a capping oxide layer.

CONSTITUTION: An insulating layer is formed on a substrate formed with an active device and a wafer having a metallic line pattern is prepared(S10). An insulating layer for covering the metallic line pattern is formed by depositing a BPSG, an HDP oxide layer, and a polysilazane SOG layer(S12). The insulating layer is polished by supplying a slurry using SiO₂, CeO₂, Al₂O₃, and Mn₂O₃ as a base(S14). A coating layer is formed on the result material having a stepped portion by using a polysilazane coating solution(S16). A pre-baking process for a coating layer is performed under temperature of 50 to 350 degrees centigrade during 1 to 5 minutes(S18). A hard baking process is performed(S20). An annealing process is performed (S22).



© KIPO 2003

Legal Status

Date of request for an examination (20010222)

Final disposal of an application (registration)

Date of final disposal of an application (20021123)

Patent registration number (1003640260000)

Date of registration (20021126)

(19) 대한민국특허청(KR)대한민국특허청(KR)
(12) 공개특허공보(A)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷	(11) 공개번호	특2002-0068672
H01L 21/31(51)	(43) 공개일자	2002년08월28
H01L 21/31	일(11) 공개번호	특2002-0068672
	(43) 공개일자	2002년08월28일
(21) 출원번호(21) 출원 번호	10-2001-000885910-2001-0008859	
(22) 출원일자(22) 출원 일자	2001년02월22일2001년02월22일(71) 출원인삼성전자 주식회사	
	경기 수원시 팔달구 매탄3동 416(72) 발명자	
	조영주	
	경기도수원시팔달구영통동홍림아파트233-604	
	홍은기	
	경기도수원시팔달구영통동황골주공아파트135-1801	
	이주범	
	경기도용인시기흥읍영덕리두진아파트104-507(74) 대리인, 박영우심사청구 : 있음(54) 층간 절연막 형성방법	

요약

본 발명은 층간절연막 형성방법에 관한 것으로서, 특히 본 발명의 방법은 금속 배선패턴이 형성된 반도체 기판 상에 절연막을 형성하고, 금속 배선패턴의 상면이 노출되도록 상기 절연막을 플 CMP공정으로 연마하고, 코팅막을 형성하기 위하여 상기 결과를 상에 폴리실라잔을 포함하는 스핀 온 글래스 코팅 용액을 도포하고, 코팅막을 50 내지 350℃ 정도로 프리 베이킹하고, 이어서, 300 내지 500℃ 정도로 하드 베이킹하고, 코팅막을 산화분위기에서 열처리한다. 따라서, 본 발명에서는 하드 베이킹 공정을 수행함으로써 아랫가성되는 양을 최소화하여 파티클 발생을 억제함으로써 후속 공정에서 열처리 이후 코팅막의 크랙발생을 방지할 수 있다.

대표도

도6

영세서

도면의 간단한 설명

- 도 1은 단차를 가진 패턴 상에 형성된 층간 절연막의 표면 굴곡상태를 나타낸 도면.
- 도 2는 도 1의 층간 절연막에 부분 CMP 공정을 실시하여 표면을 평탄하게 연마한 상태를 나타낸 도면.
- 도 3은 도 1의 층간 절연막에 플 CMP 공정을 실시하여 패턴의 상부가 노출된 상태를 나타낸 도면.
- 도 4는 도 3의 플 CMP 공정 후에 패턴 상부에 캡층을 도포한 상태를 나타낸 도면.
- 도 5는 본 발명에 의한 폴리실라잔 스핀 온 글래스 용액의 점도 특성을 나타낸 그래프.
- 도 6은 본 발명에 의한 층간 절연막 형성방법을 설명하기 위한 순서도.
- 도 7 내지 도 10은 본 발명에 의한 층간 절연막의 형성방법을 나타낸 공정 순서도.
- 도 11은 본 발명에 의한 SOG막을 프리 베이킹한 후, 측정된 광흡수도를 나타내는 FT-IR 차트.
- 도 12는 본 발명에 의한 SOG막을 어닐링한 후, 측정된 광흡수도를 나타내는 FT-IR 차트.

(도면의 주요 부분에 대한 부호의 설명)

- 10 : 기판
- 12 : 금속배선패턴
- 14 : 절연막
- 16 : 캡층
- 18 : 폴리실라잔 코팅막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 층간 절연막 형성방법에 관한 것으로서, 특히 풀(FULL) CMP 공정 후 노출된 금속배선패턴을 폴리실라잔을 포함하는 스핀 온 글래스(SOG : SPIN ON GLASS) 용액으로 코팅하는 방법에 관한 것이다.

근래에 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 장치도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 반도체 장치는 고속으로 동작하는 동시에 대용량의 저장 능력을 가질 것이 요구된다. 이러한 요구에 부응하여 반도체 장치는 집적도, 신뢰성 및 응답속도 등을 향상시키는 방향으로 제조 기술이 발전되고 있다.

집적 회로를 제조하기 위하여 단일 기판 상에 많은 활성 소자를 형성하여야 한다. 처음에는 각 소자들은 서로 절연되어야 하지만, 회로의 소기 기능을 얻기 위하여 제조 공정 도중에 특정 소자들을 전기적으로 상호 접속하여야 할 필요가 있게 되었다. MOS 및 바이폴라 VLSI 및 ULSI 장치들은 상기 소자들의 많은 상호 접속을 도모하는 다층 상호 접속(multilevel interconnection) 구조를 갖는다.

이와 같은 상호 접속 구조에서, 층수(number of layers)가 증가함에 따라서, 최상층(top layer)의 형상(topography)은 더욱 더 굴곡화된다. 예를 들면, 둘 또는 그 이상의 금속층이 형성되어 있는 반도체 웨이퍼를 제조하는 경우에, 다수의 산화막, 다결정 실리콘 도전층 및 제 1 금속배선층이 형성되어 있는 반도체 웨이퍼에 제 1 층간 절연막을 형성한 후, 제 2 금속층을 적층하기 위한 비아를 형성한다. 제 1 층간 절연막의 하부 구조물이 불평평(uneven)하기 때문에, 제 1 층간 절연막의 표면이 불평평하다. 그러한 제 1 층간 절연막상에 제 2 금속층을 직접 형성하는 경우에는, 제 2 금속층은 제 1 층간 절연막의 돌출부나 크랙 때문에 균열(fracture)하고 제 1 층간 절연막상의 금속 도포가 불량하게 된다. 이러한 불량이 반도체 장치의 수율을 저하시키고, 따라서, 다층 금속 접속구조(multilevel metal interconnection)에서는 비아 또는 제 2 금속층을 형성하기 전에 층간 절연막의 평탄화가 필요하다.

층간 절연막을 평탄화에 대하여는, 리플로우 특성이 높은 BPSG (Borophosphorous Silicate Glass)막이나 SOG(Spin-On-Glass)막을 이용하는 방법이나, 화학적 기계적 연마(Chemical Mechanical Polishing; CMP)법 등 각종의 방법이 개발되고 있다.

일반적으로 금속 배선간의 갭을 매울하기 위한 층간 절연막의 재료로서는 BPSG를 이용하는 방법이 널리 사용되어 왔다. 그렇지만, BPSG를 증착하는 공정은 설비간의 의존성 및 챔버 상태의 의존성이 강하고, 사용되고 있는 가스도 고가일뿐만 아니라 독성이 강하여 인체에의 위험성을 내포하고 있다.

더구나, 현재의 256메가 급이상의 VLSI를 제조하기 위하여는 집적도가 증가하고 디자인룰이 감소함에 따라, BPSG를 사용하여 층간 절연막을 형성하여 배선간의 갭의 매립할 때는 보이드 생성에 의한 브리지의 형성으로 인하여 수율이 저하하거나 후속 공정에서의 사용될 에칭 스탭층이 손상될 수 있다. 이를 피하기 위하여는 추가적인 리플로우 공정과 고비용의 CMP공정을 수행하여야 할 필요성이 있다.

도 1에 도시한 바와 같이, 층간 절연막 공정은 기판(10)에 형성된 금속배선패턴(12) 상에 층간 절연막(14)을 도포하면 금속 배선패턴의 단차에 의해 표면이 평탄하지 않게 형성된다. 따라서, 후속 공정이 용이하도록 표면을 평탄하게 하기 위하여 통상적으로 에치백 공정이나 CMP 공정을 사용한다.

도 2에 도시한 부분 CMP 공정은 하부의 금속배선패턴이 노출되지 않고 층간절연막의 표면만 평탄하게 연마하는 것이다. 따라서, 패턴의 조밀도에 따라 평탄도 및 CMP 제거량에 영향을 주어 DISHING(사발모양으로 움푹 들어가는 현상)과 같은 문제가 발생한다.

따라서, 디싱이나 평탄도의 균일화를 개선하기 위하여 하부 패턴의 바로 위까지 오버 CMP를 하는 풀(FULL) CMP 방식이 사용되고 있다.

도 3에 도시한 풀 CMP 방법은 패턴 바로 위까지 드러나게 연마하기 때문에 노출된 패턴을 절연시키기 위하여 추가 절연막 도포공정 즉, 산화막 캡핑공정이 필요하다.

그러나, 풀 CMP 방법은 슬러리의 종류에 따라 발생하는 마이크로 스크래치(MICRO SCRATCH)로 인하여 후속 공정에서 잔류물(RESIDUE)을 발생시켜서 제품 불량을 유발하는 문제점이 있다.

또한, 풀 CMP 방법은 과도한 연마로 패턴 사이의 절연막이 과도하게 연마되어 단차를 발생하게 된다. 이와 같이 발생된 단차는 도 4에 도시한 바와 같이 캡핑된 산화막(16)에 영향을 미쳐서 표면 평탄도를 나쁘게 한다.

이에 반하여 SOG막을 이용한 절연막을 형성하는 공정은 단순한 코팅 공정으로 평탄한 절연막을 형성할 수 있는 공정으로 널리 알려져 있다.

예를 들면, 미합중국 특허 제5,310,720호(issued to Shin et al)에는 폴리실라잔층을 형성한 후, 폴리실라잔층을 산소로워기에서 하소(firing)하여 산화실리콘층으로 전환시키는 방법이 개시되어 있다.

또한, 미합중국 특허 제5,976,618호(issued to Shunichi Fukuyama et al.)에는 무기 SOG를 도포한 후, 2 단계의 열처리 공정을 거쳐서 이를 산화 실리콘막으로 전환시키는 방법이 개시되어 있다.

폴리실라잔계의 SOG는 기본 골격이 Si-N, Si-H, N-H결합으로 구성되고, 산소 및 물을 포함하는 분위기중에서 베이킹하면 Si-N 결합이 Si-O결합으로 치환된다. 이와 같은 SOG를 이용하여 산화 실리콘막으로 전환하는 방법은 간단하고 스핀 코팅 방법과 경화 공정에서 의해 수행할 수 있어서, 비용이 절감된다는 장점을 가지고 있다. 그렇지만, 모든 Si-N 결합이 Si-O 결합으로 치환되지 않는 것으로 알려져 있다(일본특

특개평 11-145286 참조).

따라서, 생성되는 산화 실리콘막은 종래의 사용되는 BPSG막이나 TEOS막등과 같은 산화 실리콘막과는 다른 절연성 및 전기적 특성을 갖고 있기 때문에 층간 절연막으로 사용되는데는 문제점이 있어 왔다.

또한, 스피ن 코팅 방식으로 도포를 하기 때문에 생성되는 산화 실리콘막의 두께도 불충분하여 하루 구조물인 게이트 전극이나 금속 배선과 같은 도전층 패턴등을 충분하게 커버할 수 없었다.

폴리실라잔 코팅막은 코팅용액을 도포한 다음에 솔벤트를 제거하기 위하여 500℃ 이하의 온도에서 수분 동안 프리 베이킹을 진행하고, 폴리실라잔을 실리콘 산화막으로 전환하기 위하여 산화 분위기에서 400℃ 이상으로 수 십분간 어닐링한다.

그러나, 폴리실라잔 코팅막의 어닐링시 코팅막에서 아웃가싱되는 SiH_4 와 산화 분위기 가스와 반응하여 SiO_2 와 같은 파티클이 생성되어 반응챔버가 오염되게 된다. 이러한, 파티클은 수 십 nm 이상의 크기를 가지며, 후속 웨이퍼의 어닐링 공정시 파티클로 작용하여 데미지를 발생하게 된다.

즉, 폴리 실라잔 코팅막은 파티클 주변에서 더 두껍게 형성된다. 어닐링 후 코팅막의 두께가 15,000 Å 이상의 크랙발생 임계 두께(MCFT : MAXIMUM CRACK FREE THICKNESS) 이상으로 형성되고 이에 필연적으로 크랙이 발생하게 되는 문제점이 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 폴리실라잔을 포함하는 스피ن 온 글래스 코팅막을 캡핑 산화막으로 사용시에 크랙 발생을 방지할 수 있는 층간 절연막 형성방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여, 본 발명의 층간 절연막 형성방법은 도전 패턴이 형성된 반도체 기판 상에 절연막을 형성하고, 도전 패턴의 상면이 노출되도록 상기 절연막을 풀 CMP공정으로 연마하고, 코팅막을 형성하기 위하여 상기 결과물 상에 폴리실라잔을 포함하는 스피ن 온 글래스 코팅 용액을 도포하고, 코팅막을 50 내지 350℃ 정도로 프리 베이킹하고, 이어서, 300 내지 500℃ 정도로 하드 베이킹하고, 코팅막을 산화분위기에서 열처리한다.

즉, 본 발명에서는 300 내지 500℃의 하드 베이킹 단계를 거침으로써 후속 열처리 공정시 아웃가싱되는 양을 최소화시킬 수 있다. 따라서, 열처리 공정시 파티클 발생을 억제할 수 있다.

또한, 본 발명에서 하드 베이킹 이후에 코팅막의 두께가 MCFT 이상인 경우에는 에치백 공정이나 CMP 공정으로 코팅막의 두께가 MCFT 이하가 되도록 가공하는 공정을 더 포함하는 것이 바람직하다.

또한, 하드 베이킹 공정을 스킵하고 코팅막의 두께가 MCFT 이상인 경우에는 에치백 공정이나 CMP 공정으로 코팅막의 두께가 MCFT 이하가 되도록 가공하는 공정을 더 포함하는 것도 가능하다.

본 발명에서 폴리실라잔 코팅막은 구조식이 $-(\text{SiH}_2\text{NH})_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔 3 내지 15중량% 및 용매 97 내지 85중량%를 포함한다.

본 발명에 따른 스피논글래스 조성물은, 구조식이 $-(\text{SiH}_2\text{NH})_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔을 포함한다.

폴리실라잔의 제조 방법은 공지되어 있다. 대표적인 방법으로는 할로실란과 루이스 염기를 반응시키고, 수득한 복합체(complex compound)를 암모니아와 반응시켜서 제조할 수 있다.

이외에도, SiCl_4 또는 SiH_2Cl_2 와 같은 실리콘 할라이드와 아민을 반응시켜 폴리실라잔을 합성하는 방법, 실라잔을 알칼리금속할라이드촉매를 사용하여 폴리실라잔으로 전환하는 방법, 전이 금속 복합촉매(transition metal complex compound)를 사용하여 아민 화합물로 실란 화합물을 탈수소(dehydrogenation)하는 방법 등이 공지되어 있다.

또한, 미합중국 특허 제5,494,978호(issued to Yasuo Shimizu et. al.)에는 수평균 분자량이 100 내지 100,000인 무기 폴리실라잔을 이용하여 변성된 폴리실라잔을 제조하는 방법이 개시되어 있다.

미합중국 특허 제5,905,130호(issued to Hirohiko Nakahara et al.)에는 폴리아미노실란 화합물과 폴리하이드로겐화된 질소 함유 화합물(polyhydrogenated nitrogen-containing compound)을 염기촉매하에서 반응시키거나, 폴리하이드로겐화 실리콘 화합물(polyhydrogenated silicon compound)과 폴리하이드로겐화 질소-함유 화합물을 염기성 고체 산화물 촉매(basic solid oxide catalyst)의 존재하에 반응시켜서 폴리실라잔을 제조하는 방법이 개시되어 있다.

미합중국 특허 제5,436,398호(issued to Yasuo Shimizu et al.)에도 수평균 분자량이 1,120인 퍼하이드로 폴리실라잔의 제조예가 개시되어 있다.

미합중국 특허 제4937304호(issued to Ayama et al.) 및 제4950381호(issued to Takeuchi et al.)에는 원하는 분자량을 갖는 폴리실라잔을 제조하는 방법이 개시되어 있다.

본 발명에서 사용되는 폴리실라잔의 제조 방법에는 특별한 제한은 없다. 상술한 방법에 의해 폴리실라잔은 용이하게 제조할 수 있다.

상술한 공지된 방법에 의해 제조된 퍼하이드로 폴리실라잔을 본 발명에 사용할 수 있도록 분자량에 따른 분별(fractionation)을 이용하여 분류하여 사용한다.

본 발명에서 사용되는 폴리실라잔의 중량평균 분자량이 4,000보다 적으면, 작은 분자량에 의해

탈기(outgassing)가 증가하고, 산화 실리콘으로 지나치게 빨리 전화하여 크랙발생이 용이해서 바람직하지 않고, 8,000을 초과하면, SOG용액의 정도가 증가하여 코팅시의 생성되는 SOG막의 균일성(uniformity)이 떨어져서 바람직하지 않다. 따라서, 퍼하이드로 플리실라잔의 분자량은 4,000 내지 8,000, 바람직하게는 4,500 내지 7,000이다.

또한, 중량평균 분자량과 수평균 분자량의 비인 플리실라잔의 분자량 분포도가 3.0보다 작으면, 플리실라잔을 분류할 때의 효율성이 떨어져서 제조 수율이 너무 낮아서 바람직하지 않고, 4.0을 초과하면, 산화 실리콘의 전환이 불균일해서 바람직하지 않다. 따라서, 플리실라잔의 분자량 분포도는 3.0 내지 4.0인 것이 바람직하다.

상술한 플리실라잔을 유기 용매에 용해시켜서 SOG용액을 제조한다. 본 발명에서 사용될 수 있는 유기 용매로서는 특별한 제한은 없다. 바람직하게는, 크실렌과 같은 방향족계 용매, 디부틸에테르와 같은 에테르 등을 사용할 수 있다.

플리실라잔을 포함하는 SOG 용액은 하부막 예를 들면, 실리콘 질화막에 대하여 4° 이하의 콘택트 각을 갖는 것이 바람직하다. 콘택트각이 4° 보다 크면, 하부막과의 부착력(adhesion)이 나빠서 바람직하지 않다.

상기 SOG용액은 일정한 전단 속도에서 1 내지 10 mPa.s, 바람직하게는 1 내지 8 mPa.s의 일정한 정도를 갖는다. 본 발명에 따른 SOG용액은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 정도를 갖는다.

상기 SOG용액은 필요에 따라서는 붕소, 불소, 인, 비소, 탄소, 산소 등과 같은 원소를 포함하는 화합물을 불순물로서 적어도 하나 포함할 수 있다. 이러한 불순물들중에서, 붕소, 인, 비소와 같은 원소를 SOG용액에 첨가하는 경우에는, SOG용액으로부터 생성되는 산화 실리콘막이 불순물을 포함하게 되어 종래의 BSG막, BPSG막, PSG막과 유사한 특성을 갖는 막으로 전환된다. 또한, 탄소나 산소와 같은 원소를 포함하는 화합물을 불순물로서 첨가하면, 산화 실리콘막으로의 전환되는 속도를 촉진시킬 수 있다.

상기한 방법에 의해 형성된 상기 SOG막을 경화하여 평탄한 표면을 갖는 산화 실리콘막으로 전환시킨다. 경화 단계는 프리 베이킹 단계 및 하드 베이킹 단계로 구분된다.

프리 베이킹을 50°C 내지 350°C 범위 내에서 2 내지 3분간씩 다단계로 수행한다.

하드 베이킹은 프리 베이킹에 비하여 더 높은 온도에서 장시간 진행한다. 즉, 300 내지 500°C 범위 내에서 산소분위기, 수증기 분위기 및 산소 혼합 분위기의 산화분위기나 질소 분위기 및 진공과 같은 불활성 분위기로 10분 내지 120분 동안 진행한다. 하드 베이킹은 코팅막 내에 SiH_4 성분의 아웃가싱을 촉진시켜서 후속 어닐링공정시 SiH_4 성분이 아웃가싱되는 양을 최소화시키기 위한 것이다.

하드 베이킹에서 500°C 이상의 온도에서 수행하면, 어닐링 공정에서의 플리 실라잔이 실리콘 산화물로 전환이 용이하지 않을 뿐만 아니라 표면이 급격하게 산화 실리콘으로 전환됨에 따라서 크랙이 발생되어 생성되는 산화 실리콘 막이 균일하지 않아서 바람직하지 않다.

어닐링 단계는 600 내지 1200°C 범위 내에서 산소분위기, 수증기 분위기, 수증기 및 산소 혼합 분위기의 산화분위기로 10분 내지 120분 정도 진행한다.

플리실라잔계의 SOG는 기본 골격의 Si-N결합으로 구성되고, 산소 및 물을 포함하는 분위기 중에서 베이킹하면 Si-N 결합이 Si-O결합으로 치환되는 것으로 알려져 있다. 종래 방법에 의하면, 일반적으로 모든 Si-N 결합이 Si-O 결합으로 치환되지는 않는다. 그렇지만, 본 발명에 따른 플리실라잔을 함유하는 SOG용액을 사용하여 코팅하여 SOG 막을 형성한 후, 경화 공정을 수행하는 경우에 Si-N결합이 없어 CVD 방법에 의해 형성된 산화 실리콘막과 실질적으로 동일한 특성을 갖는 산화막을 제조할 수 있다.

어닐링 공정의 온도가 600°C 미만인 경우에는 경화가 충분하지 않아서 Si-N 결합이 잔류하여 산화막의 특성에 악영향을 미칠 염려가 있어서 바람직하지 않고, 어닐링 공정의 온도가 1200°C 보다 높은 경우에는, 생성되는 실리콘 산화막의 평탄도가 저하되거나 크랙이 발생하여 바람직하지 않다.

또한, 어닐링 공정의 수행시간이 10분 보다 작은 경우에는 SOG막이 실리콘 산화막으로의 전환이 불충분해서 바람직하지 않고, 120분을 초과하는 경우에는 생성되는 실리콘 산화막의 응력이 증가하여 바람직하지 않다.

어닐링 공정은 Si-N 결합을 Si-O결합으로 전환하는 데 적합한 분위기인 산화성 분위기에서 수행한다. 예를 들면, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기에서 수행하는 것이 바람직하다. 특히, 수증기 분위기에서 수행하는 것이 바람직하다. 이 때, 분위기중에서의 수분은 1.2 내지 86중량%로 유지하는 것이 바람직하다.

본 발명에 따른 방법에 의해 SOG 조성물을 이용하여 두께가 5000 내지 10000 Å 인 산화 실리콘막을 형성할 수 있다.

스핀 온 글래스 조성물의 제조는 다음과 같다.

시판중인 퍼하이드로 플리실라잔을 구입하여 분별법(fractionation)에 의해 중량 평균 분자량이 4500 내지 7000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 플리실라잔을 수득한다. 수득한 퍼하이드로 플리실라잔을 크실렌에 22 내지 25중량%의 농도로 용해시켜서 스핀온글래스 조성물을 제조하였다. 수득한 SOG 조성물은 하지막으로서 질화 실리콘막에 대한 콘택트 각을 측정한 결과 4° 이하의 콘택트 각을 나타냈다.

상기 SOG 조성물은 전단 속도를 변화 시켜가면서 정도를 측정한 결과 도 5에 나타난 바와 같은 정도 특성을 나타내었다.

도 5는 전단 속도 변화에 따른 상기 SOG 용액의 정도 변화를 나타낸 그래프이다. 도 5의 그래프에서 세

르측은 정도(단위: mPa.s)를 나타내고, 세로측은 전단 속도(1/s)를 나타낸다. 도 5로부터 알 수 있는 바와 같이, 상기 SOG층은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 정도를 나타낼 수 있다.

도 6 내지 도 10을 참조하여 본 발명에 의한 층간 절연막 형성공정을 설명한다.

도 7를 참조하면, 기판(10) 상에 통상의 반도체 제조공정에 의해 액티브 소자를 형성한 다음에 절연막으로 덮고 절연막 상에 금속 배선패턴(12)이 형성된 웨이퍼를 준비한다(S10).

도 8을 참조하면, 상기 BPSG, HDP 산화막 또는 폴리실라잔 SOG막을 증착하여 금속 배선패턴(12)을 완전히 덮도록 절연막(14)을 형성한다(S12).

도 9를 참조하면, SiO₂, CeO₂, Al₂O₃, Mn₂O₃을 베이스로 하는 슬러리를 공급하면서 플 CMP 방법으로 절연막(14)을 연마하여 금속 배선패턴(12)의 표면이 노출될 때까지 절연막(14)을 제거한다(S14). 이 때, 사용되는 슬러리는 금속배선에 비하여 절연막(14)에 대한 식각선택비가 높기 때문에 플 CMP 공정에 의해 과연마되어 금속배선패턴의 상면보다 더 깊게 제거된다. 이에 남겨진 절연막과 금속배선 사이에 단차를 가지게 된다.

도 10을 참조하면, 단차를 가진 결과를 상에 코팅막(18)을 형성하기 위하여 본 발명의 폴리실라잔 코팅 용액을 스핀코팅한다(S16).

이어서, 코팅막(16)을 50 내지 350℃ 범위 내에서 1내지 5분간 다단계로 프리 베이킹한다(S18).

다음에 온도를 300 내지 500℃ 범위로 상승시키고 H₂O 분위기에서 10 분 내지 120분 정도 하드 베이킹을 진행한다(S20). 하드 베이킹 진행에 의해 코팅막(16) 내의 SiH₄ 성분이 충분히 아웃가싱된다.

다음에 코팅막을 산화막으로 변환시키기 위하여 어닐링 공정을 진행한다(S22). 어닐링 공정 조건은 600 내지 1200℃ 범위 내에서 산소분위기, 수증기 분위기, 수증기 및 산소 혼합 분위기의 산화분위기로 10분 내지 120분 정도 진행한다.

그러면, Si-N결합은 Si-O 결합으로 치환되어, 평탄한 표면을 갖는 실리콘 산화막으로 전환된다.

이 때, 하드 베이킹 단계에서 충분히 SiH₄ 성분이 제거된 상태이므로 파티클 발생이 억제된다. 그러므로, 후속 웨이퍼의 어닐링 공정시 파티클에 의한 데미지를 감소시킬 수 있어서, 산화막의 두께를 MCFT 이하로 제어할 수 있어서 크랙발생을 억제할 수 있게 된다.

도 11은 프리 베이킹된 상태에서 SOG막을 FT-IR로 광흡수도를 측정하였다. 도 11에서 알 수 있는 바와 같이, 프리 베이킹 후에는, 소정의 파장 범위에서 N-H, Si-H, Si-N, Si-H등의 결합을 나타내는 흡수 피크를 나타냈다. 이 때, 스트레스 값을 스트레스 게이지로 측정한 결과 3.63 x 10⁸(Dyne/cm²)를 나타냈다. 즉, Si-H 성분이 존재함을 알 수 있다. 따라서, 본 발명에서는 Si-H 성분을 하드 베이킹 단계에서 미리 아웃가싱시킨다. 그러므로, 후속 어닐링 공정시 Si-H 성분과 산화 분위기 가스의 반응에 의해 생성되는 불순물의 발생을 억제시킬 수 있는 것이다.

도 12는 어닐링 후, 측정한 광흡수도를 나타내는 FT-IR 그래프이다. 도 12에서 알 수 있는 바와 같이, 어닐링 후에는, 소정의 파장 범위에서 Si-O의 결합만을 나타내는 흡수 피크를 나타냈다. 이 때, 스트레스 값을 측정한 결과 -1.22 x 10⁸(Dyne/cm²)를 나타냈다. 도 12로부터, SOG막내의 Si-N결합은 Si-O결합으로 모두 변환되어 완전한 산화 실리콘막으로 전환되었음을 알 수 있다.

또한, 본 발명의 하드 베이킹 단계를 수행한 폴리실라잔 코팅막의 습식 식각을 특성을 살펴보면 다음과 같다.

본 발명에 의해 형성된 폴리실라잔 실리콘 산화막의 습식 식각율(Å/min)특성을 다른 산화막들과 비교하면 다음

(표 1)과 같다.

[표 1]

HDP 옥사이드	900	-	50	3	1	1	30
폴리실라잔 산화막	1100	520	70	5	1	1	30
폴리실록산(F0x) 산화막	-	1080	130	8	2	2	310

표 1에 나타난 바와 같이, 본 발명에 의한 폴리실라잔 실리콘 산화막은 하드 베이킹 단계를 거침에도 불구하고 다른 산화막들과 거의 동일한 식각율을 가짐을 알 수 있다. 따라서, 하드 베이킹을 하더라도 폴리실라잔 스킨은 글래스 코팅막의 식각 특성을 그대로 유지함을 알 수 있다. 그러므로, 반도체 공정에서 다른 산화막과 조합하여 사용하는 것이 가능하다.

상술한 바와 같이 본 발명은 기재된 실시예에 대해서만 상세히 설명되었지만 본 발명의 기술사상 범위 내에서 다양한 변형 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부

된 특허청구범위에 속함은 당연한 것이다. 상술한 실시예에서는 금속배선의 층간 절연막에 대해 설명하였지만 여기에 국한되는 것이 아니라 트렌치형 소자분리층에서 트렌치를 채우는 물질, 또는 워드라인 및 비트라인의 절연막으로 사용하는 것도 가능하다.

발명의 효과

본 발명에 의하면, 플 CMP 공정 후 노출된 패턴을 랑핑하는 물질로 폴리실라잔 실리콘 산화막을 사용시에 파티클 발생을 억제하기 위하여 코팅막의 베이킹 단계에서 하드 베이킹을 수행한다. 그러므로, 어닐링 공정 전에 코팅막에 함유된 SiH_4 가스를 충분히 아웃가싱할 수 있다. SiH_4 의 아웃가싱 후에 어닐링 공정을 수행함으로써 후속 웨이퍼의 어닐링 공정시 파티클 발생 및 오염을 방지함으로써 형성된 폴리실라잔 실리콘 산화막의 크랙발생을 억제할 수 있다.

또한, 어닐링 공정 전에 코팅막의 두께가 MCFT 이하가 되도록 CMP 공정 또는 에치 백 공정으로 코팅막의 두께를 낮춤으로써 폴리실라잔 실리콘 산화막의 크랙발생을 억제할 수 있다. 따라서, 반도체 장치의 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

금속 배선패턴이 형성된 반도체 기판 상에 절연막을 형성하는 단계;

상기 금속 배선패턴의 상면이 노출되도록 상기 절연막을 플 CMP공정으로 연마하는 단계;

코팅막을 형성하기 위하여 상기 결과를 상에 폴리실라잔을 포함하는 스핀 온 글래스 코팅 용액을 도포하는 단계;

상기 코팅막을 50 내지 350℃ 정도로 프리 베이킹하고, 이어서, 300 내지 500℃ 정도로 하드 베이킹하는 단계;

상기 코팅막을 산화분위기에서 열처리하는 단계를 구비한 것을 특징으로 하는 층간 절연막 형성방법.

청구항 2

제 1 항에 있어서, 상기 절연막은 BPSG, HDP 산화막, 폴리실라잔 함유 스핀 온 글래스 산화막 중 어느 하나 인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 3

제 2 항에 있어서, 상기 CMP 공정의 슬러리는 SiO_2 , CeO_2 , Al_2O_3 , Mn_2O_3 을 베이스로 하는 슬러리인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 4

제 1 항에 있어서, 상기 폴리실라잔 스핀 온 글래스 용액은

구조식이 $-(\text{SiH}_2\text{NH})_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔 3 내지 15중량% 및 용매 97 내지 85중량%를 포함하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 5

제 4 항에 있어서, 상기 스핀 온 글래스 용액은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 갖는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 6

제 4 항에 있어서, 상기 스핀 온 글래스 용액은 하지막에 대하여 4° 이하의 콘택트 각을 갖는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 7

제 4 항에 있어서, 상기 스핀 온 글래스 용액은 붕소, 불소, 인, 비소, 탄소 및 산소로 구성된 군에서 선택된 적어도 하나의 원소를 포함하는 불순물을 포함하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 8

제 4 항에 있어서, 상기 용매는 크실렌 또는 디부틸에테르인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 9

제 1 항에 있어서, 상기 열처리 단계의 온도 범위는 600 내지 1,200℃인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 10

제 9 항에 있어서, 상기 열처리 단계는 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기 등의

산화분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 11

제 1 항에 있어서, 상기 코팅막의 두께가 500 내지 10,000 Å 인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 12

제 1 항에 있어서, 상기 하드 베이킹 단계는 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기의 어느 한 산화분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 13

제 1 항에 있어서, 상기 하드 베이킹 단계는 질소 분위기, 진공 등의 어느 한 불활성 분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 14

제 1 항에 있어서, 상기 하드 베이킹 이 후, 코팅막의 최대 두께가 크랙발생 임계 두께 이상일 경우에는 크랙발생 임계 두께 이하로 낮추는 공정을 더 구비하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 15

제 13 항에 있어서, 상기 코팅막의 두께 낮추기 공정은 CMP공정, 에치백 공정 중의 어느 하나 인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 16

도전 패턴이 형성된 반도체 기판 상에 절연막을 형성하는 단계;

상기 도전 패턴의 상면이 노출되도록 상기 절연막을 플 CMP공정으로 연마하는 단계;

코팅막을 형성하기 위하여 상기 결과물 상에 폴리실라잔을 포함하는 스핀 온 글래스 코팅 용액을 도포하는 단계;

상기 코팅막을 500℃ 이하의 온도에서 프리 베이킹하는 단계;

상기 프리 베이킹 이후, 상기 코팅막의 최대 두께가 코팅막의 최대 두께가 크랙발생 임계 두께 이상일 경우에는 크랙발생 임계 두께 이하로 낮추는 단계;

상기 코팅막을 산화분위기에서 열처리하는 단계를 구비한 것을 특징으로 하는 층간 절연막 형성방법.

청구항 17

단차가 형성된 패턴이 형성된 반도체 기판 상에 절연막을 형성하는 단계;

상기 패턴의 상면이 노출되도록 상기 절연막을 플 CMP공정으로 연마하는 단계;

코팅막을 형성하기 위하여 상기 결과물 상에 폴리실라잔을 포함하는 스핀 온 글래스 코팅 용액을 도포하는 단계;

상기 코팅막을 제 1 소정 온도 범위에서 프리 베이킹하고, 이어서, 제 1 소정 온도 보다 높은 제 2 소정 온도 범위에서 하드 베이킹하는 단계;

상기 코팅막을 상기 제 2 소정 온도 보다 높은 제 3 소정 온도범위에서 산화분위기에서 열처리하는 단계를 구비한 것을 특징으로 하는 층간 절연막 형성방법.

청구항 18

단차가 형성된 패턴이 형성된 반도체 기판 상에 코팅막을 형성하기 위하여 폴리실라잔을 포함하는 스핀 온 글래스 코팅 용액을 도포하는 단계;

상기 도포된 코팅 용액을 경화시켜서 코팅막을 형성하는 단계;

상기 형성된 코팅막 내의 실란 가스 성분을 아웃가싱하는 단계; 및

상기 코팅막을 산화막으로 변환하기 위하여 어닐링하는 단계를 구비하는 것을 특징으로 하는 절연막 형성방법.

청구항 19

제 18 항에 있어서, 상기 폴리실라잔 스핀 온 글래스 용액은

구조식이 $-(SiH_2NH)_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔 20 내지 30중량%; 및 용매 80 내지 70중량%를 포함하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 20

제 19 항에 있어서, 상기 스핀 온 글래스 용액은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의

일정한 정도를 갖는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 21

제 19 항에 있어서, 상기 스피너는 글래스 용액은 하지막에 대하여 4° 이하의 콘택트 각을 갖는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 22

제 19 항에 있어서, 상기 스피너는 글래스 용액은 붕소, 불소, 인, 비소, 탄소 및 산소로 구성된 군에서 선택된 적어도 하나의 원소를 포함하는 불순물을 포함하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 23

제 19 항에 있어서, 상기 용매는 크실렌 또는 디부틸에테르인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 24

제 18 항에 있어서, 상기 어닐링 단계의 온도 범위는 600 내지 1,200℃인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 25

제 24 항에 있어서, 상기 열처리 단계는 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기 등의 산화분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 26

제 18 항에 있어서, 상기 경화 단계는 50 내지 350℃ 정도의 온도 범위에서 다단계로 프리 베이킹하는 것을 특징으로 하는 절연막 형성방법.

청구항 27

제 26 항에 있어서, 상기 아웃 가싱 단계는 300 내지 500℃ 정도의 온도 범위에서 하드 베이킹하는 것을 특징으로 하는 절연막 형성방법.

청구항 28

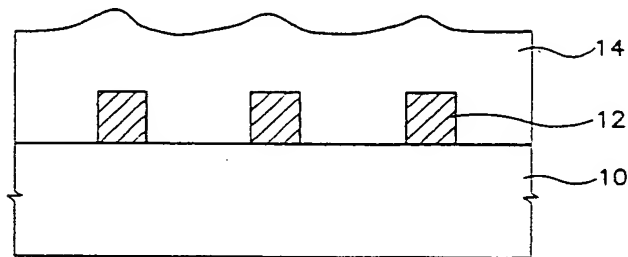
제 27 항에 있어서, 상기 하드 베이킹 단계는 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기의 어느 한 산화분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 절연막 형성방법.

청구항 29

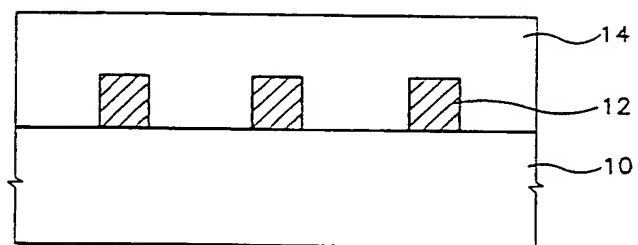
제 27 항에 있어서, 상기 하드 베이킹 단계는 질소 분위기, 진공 등의 어느 한 불활성 분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 절연막 형성방법.

도면

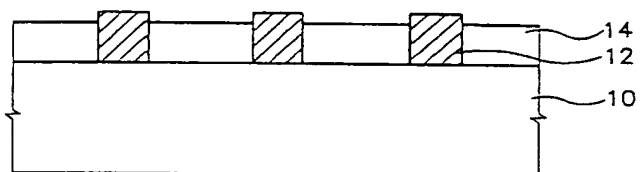
도면1



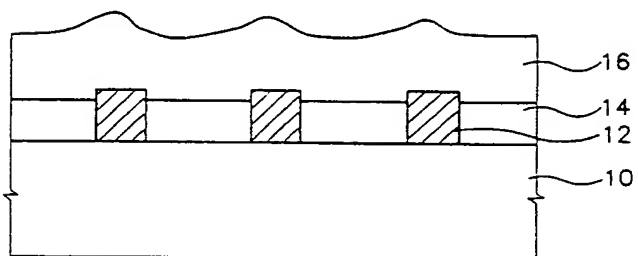
도면2



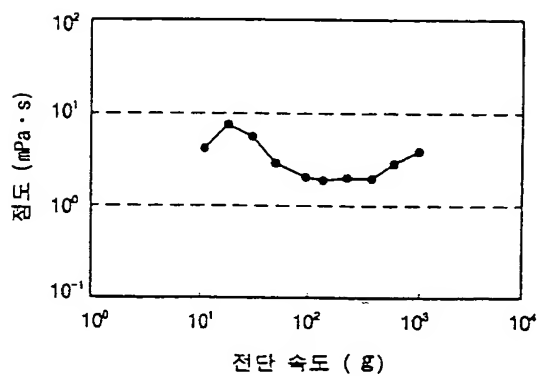
도면3



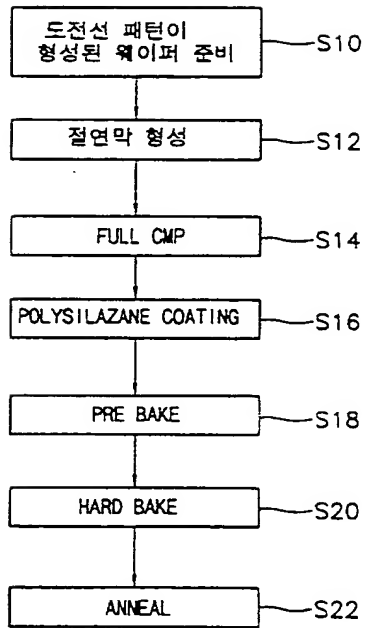
도면4



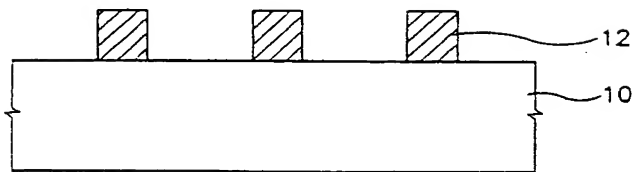
도면5



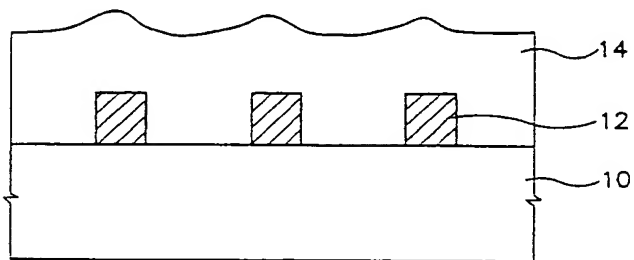
도면6



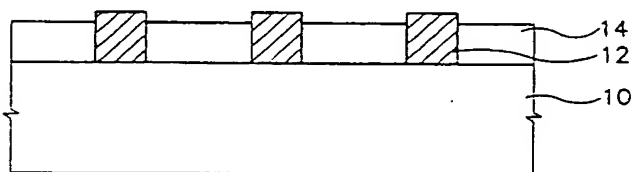
도면7



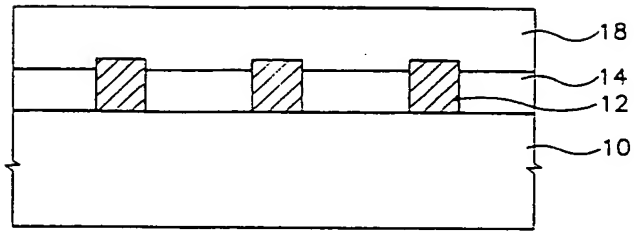
도면8



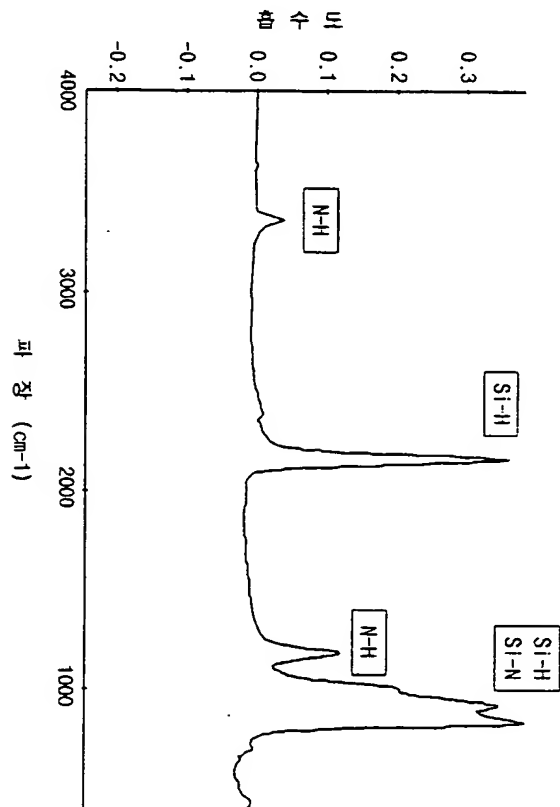
도면9



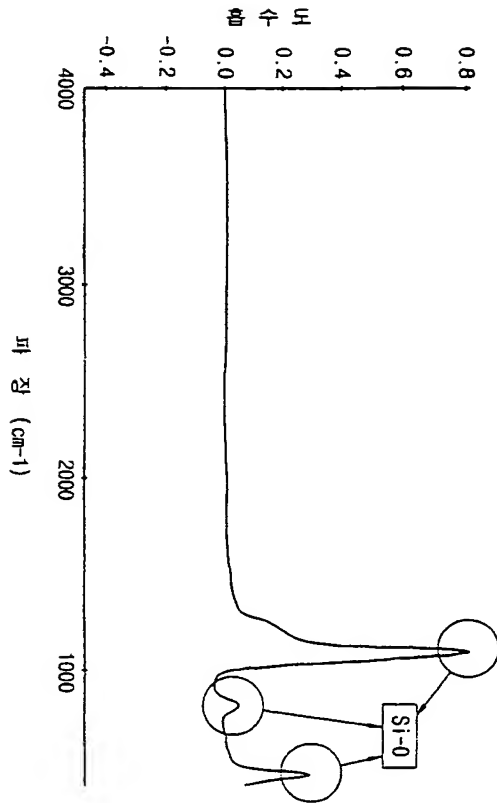
도면10



도면11



도면 12



(19) 요약

본 발명은 층간절연막 형성방법에 관한 것으로서, 특히 본 발명의 방법은 금속 배선패턴이 형성된 반도체 기판 상에 절연막을 형성하고, 금속 배선패턴의 상면이 노출되도록 상기 절연막을 풀 CMP공정으로 연마하고, 코팅막을 형성하기 위하여 상기 결과를 상에 폴리실라잔을 포함하는 스피ن 온 글래스 코팅 용액을 도포하고, 코팅막을 50 내지 350℃ 정도로 프리 베이킹하고, 이어서, 300 내지 500℃ 정도로 하드 베이킹하고, 코팅막을 산화분위기에서 열처리한다. 따라서, 본 발명에서는 하드 베이킹 공정을 수행함으로써 아웃가싱되는 양을 최소화하여 파티클 발생을 억제함으로써 후속 공정에서 열처리 이후 코팅막의 크랙발생을 방지할 수 있다.

대표도

도6

명세서

도면의 간단한 설명

- 도 1은 단차를 가진 패턴 상에 형성된 층간 절연막의 표면 굴곡상태를 나타낸 도면.
- 도 2는 도 1의 층간 절연막에 부분 CMP 공정을 실시하여 표면을 평탄하게 연마한 상태를 나타낸 도면.
- 도 3은 도 1의 층간 절연막에 풀 CMP 공정을 실시하여 패턴의 상부가 노출된 상태를 나타낸 도면.
- 도 4는 도 3의 풀 CMP 공정 후에 패턴 상부에 캡층을 도포한 상태를 나타낸 도면.
- 도 5는 본 발명에 의한 폴리실라잔 스피ن 온 글래스 용액의 점도 특성을 나타낸 그래프.
- 도 6은 본 발명에 의한 층간 절연막 형성방법을 설명하기 위한 순서도.
- 도 7 내지 도 10은 본 발명에 의한 층간 절연막의 형성방법을 나타낸 공정 순서도.
- 도 11은 본 발명에 의한 SOG막을 프리 베이킹한 후, 측정한 광흡수도를 나타내는 FT-IR 차트.
- 도 12는 본 발명에 의한 SOG막을 어닐링한 후, 측정한 광흡수도를 나타내는 FT-IR 차트.

(도면의 주요 부분에 대한 부호의 설명)

- 10 : 기판
- 12 : 금속배선패턴
- 14 : 절연막
- 16 : 캡층
- 18 : 폴리실라잔 코팅막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 층간 절연막 형성방법에 관한 것으로서, 특히 풀(FULL) CMP 공정 후 노출된 금속배선패턴을 폴리실라잔을 포함하는 스피 온 글래스(SOG : SPIN ON GLASS) 용액으로 코팅하는 방법에 관한 것이다.

근래에 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 장치도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 반도체 장치는 고속으로 동작하는 동시에 대용량의 저장 능력을 가질 것이 요구된다. 이러한 요구에 부응하여 반도체 장치는 집적도, 신뢰성 및 응답속도 등을 향상시키는 방향으로 제조 기술이 발전되고 있다.

집적 회로를 제조하기 위하여 단일 기판 상에 많은 활성 소자를 형성하여야 한다. 처음에는 각 소자들은 서로 절연되어야 하지만, 회로의 소기 기능을 얻기 위하여 제조 공정 도중에 특정 소자들을 전기적으로 상호 접속하여야 할 필요가 있게 되었다. MOS 및 바이폴라 VLSI 및 ULSI 장치들은 상기 소자들의 많은 상호 접속을 도모하는 다층 상호 접속(multilevel interconnection) 구조를 갖는다.

이와 같은 상호 접속 구조에서, 층수(number of layers)가 증가함에 따라서, 최상층(top layer)의 형상(topography)은 더욱 더 굴곡화된다. 예를 들면, 둘 또는 그 이상의 금속층이 형성되어 있는 반도체 웨이퍼를 제조하는 경우에, 다수의 산화막, 다결정 실리콘 도전층 및 제 1 금속배선층이 형성되어 있는 반도체 웨이퍼에 제 1 층간 절연막을 형성한 후, 제 2 금속층을 적층하기 위한 비아를 형성한다. 제 1 층간 절연막의 하부 구조들이 불평평(uneven)하기 때문에, 제 1 층간 절연막의 표면이 불평평하다. 그러한 제 1 층간 절연막상에 제 2 금속층을 직접 형성하는 경우에는, 제 2 금속층은 제 1 층간 절연막의 돌출부나 크랙때문에 균열(fracture)하고 제 1 층간 절연막상의 금속 도포가 불량하게 된다. 이러한 불량 이 반도체 장치의 수율을 저하시키고, 따라서, 다층 금속 접속구조(multilevel metal interconnection)에서는 비아 또는 제 2 금속층을 형성하기 전에 층간 절연막의 평탄화가 필요하다.

층간 절연막을 평탄화에 대하여는, 리플로우 특성이 높은 BPSG (Borophosphorous Silicate Glass)막이나 SOG(Spin-On-Glass)막을 이용하는 방법이나, 화학적 기계적 연마(Chemical Mechanical Polishing; CMP) 방법 각종의 방법이 개발되고 있다.

일반적으로 금속 배선간의 갭을 매몰하기 위한 층간 절연막의 재료로서는 BPSG를 이용하는 방법이 널리 사용되어 왔다. 그렇지만, BPSG를 증착하는 공정은 설비간의 의존성 및 챔버 상태의 의존성이 강하고, 사용되고 있는 가스도 고가일뿐만 아니라 독성이 강하여 인체에의 위험성을 내포하고 있다.

더구나, 현재의 256메가 급이상의 VLSI를 제조하기 위하여는 집적도가 증가하고 디자인룰이 감소함에 따라, BPSG를 사용하여 층간 절연막을 형성하여 배선간의 갭의 매립할 때는 보이드 생성에 의한 브리지의 형상으로 인하여 수율이 저하한다거나 후속 공정에서의 사용될 에칭, 스탬핑이 손상될 수 있다. 이를 피하기 위하여는 추가적인 리플로우 공정과 고비용의 CMP공정을 수행하여야 할 필요성이 있다.

도 1에 도시한 바와 같이, 층간 절연막 공정은 기판(10)에 형성된 금속배선패턴(12) 상에 층간 절연막(14)을 도포하면 금속 배선패턴의 단차에 의해 표면이 평탄하지 않게 형성된다. 따라서, 후속 공정이 용이하도록 표면을 평탄하게 하기 위하여 통상적으로 에치백 공정이나 CMP 공정을 사용한다.

도 2에 도시한 부분 CMP 공정은 하부의 금속배선패턴이 노출되지 않고 층간절연막의 표면만 평탄하게 연마하는 것이다. 따라서, 패턴의 조밀도에 따라 평탄도 및 CMP 제거량에 영향을 주어 DISHING(사발모양으로 움푹 들어가는 현상)과 같은 문제가 발생한다.

따라서, 디싱이나 평탄도의 균일화를 개선하기 위하여 하부 패턴의 바로 위까지 오버 CMP를 하는 풀(FULL) CMP 방식이 사용되고 있다.

도 3에 도시한 풀 CMP 방법은 패턴 바로 위까지 드러나게 연마하기 때문에 노출된 패턴을 절연시키기 위하여 추가 절연막 도포공정 즉, 산화막 캡핑공정이 필요하다.

그러나, 풀 CMP 방법은 슬러리의 종류에 따라 발생하는 마이크로 스크래치(MICRO SCRATCH)로 인하여 후속 공정에서 잔류물(RESIDUE)을 발생시켜서 제품 불량을 유발하는 문제점이 있다.

또한, 풀 CMP 방법은 과도한 연마로 패턴 사이의 절연막이 과도하게 연마되어 단차를 발생하게 된다. 이와 같이 발생된 단차는 도 4에 도시한 바와 같이 캡핑된 산화막(16)에 영향을 미쳐서 표면 평탄도를 나쁘게 한다.

이에 반하여 SOG막을 이용한 절연막을 형성하는 공정은 단순한 코팅 공정으로 평탄한 절연막을 형성할 수 있는 공정으로 널리 알려져 있다.

예를 들면, 미합중국 특허 제5,310,720호(issued to Shin et al.)에는 폴리실라잔층을 형성한 후, 폴리실라잔층을 산소분위기에서 하소(firing)하여 산화실리콘층으로 전환시키는 방법이 개시되어 있다.

또한, 미합중국 특허 제5,976,618호(issued to Shunichi Fukuyama et al.)에는 무기 SOG를 도포한 후, 2 단계의 열처리 공정을 거쳐서 이를 산화 실리콘막으로 전환시키는 방법이 개시되어 있다.

폴리실라잔계의 SOG는 기본 골격이 Si-N, Si-H, N-H결합으로 구성되고, 산소 및 물을 포함하는 분위기중에서 베이킹하면 Si-N 결합이 Si-O결합으로 치환된다. 이와 같은 SOG를 이용하여 산화 실리콘막으로 전환하는 방법은 간단한 스프인 코팅 방법과 경화 공정에 의해 수행할 수 있어서, 비용이 절감된다는 장점을 가지고 있다. 그렇지만, 모든 Si-N 결합이 Si-O 결합으로 치환되지는 않는 것으로 알려져 있다(일본국 특허공개 11-145286 참조).

따라서, 생성되는 산화 실리콘막은 종래의 사용되는 BPSG막이나 TEOS막등과 같은 산화 실리콘막과는 다른 절연성 및 전기적 특성을 갖고 있기 때문에 층간 절연막으로 사용되는데는 문제점이 있어 왔다.

또한, 스프인 코팅 방식으로 도포를 하기 때문에 생성되는 산화 실리콘막의 두께도 불충분하여 하부 구조물인 게이트 전극이나 금속 배선과 같은 도전층 패턴등을 충분히 커버할 수 없었다.

폴리실라잔 코팅막은 코팅용액을 도포한 다음에 솔벤트를 제거하기 위하여 500℃ 이하의 온도에서 수분 동안 프리 베이킹을 진행하고, 폴리실라잔을 실리콘 산화막으로 전환하기 위하여 산화 분위기에서 400℃ 이상으로 수 십분간 어닐링한다.

그러나, 폴리실라잔 코팅막의 어닐링시 코팅막에서 아웃가싱되는 SiH_4 와 산화 분위기 가스와 반응하여 SiO_2 와 같은 파티클이 생성되어 반응챔버가 오염되게 된다. 이러한, 파티클은 수 십 nm 이상의 크기를 가지며, 후속 웨이퍼의 어닐링 공정시 파티클로 작용하여 데미지를 발생하게 된다.

즉, 폴리 플라잔 코팅막은 파티클 주변에서 더 두껍게 형성된다. 어닐링 후 코팅막의 두께가 15,000 Å 이상의 크랙발생 임계 두께(MCFT: MAXIMUM CRACK FREE THICKNESS) 이상으로 형성되고 이에 필연적으로 크랙이 발생하게 되는 문제점이 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 폴리실라잔을 포함하는 스프인 온 글래스 코팅막을 램핑 산화막으로 사용시에 크랙 발생을 방지할 수 있는 층간 절연막 형성방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여, 본 발명의 층간 절연막 형성방법은 도전 패턴이 형성된 반도체 기판 상에 절연막을 형성하고, 도전 패턴의 상면이 노출되도록 상기 절연막을 플 CMP공정으로 연마하고, 코팅막을 형성하기 위하여 상기 결과를 상에 폴리실라잔을 포함하는 스프인 온 글래스 코팅 용액을 도포하고, 코팅막을 50 내지 350℃ 정도로 프리 베이킹하고, 이어서, 300 내지 500℃ 정도로 하드 베이킹하고, 코팅막을 산화분위기에서 열처리한다.

즉, 본 발명에서는 300 내지 500℃의 하드 베이킹 단계를 거침으로써 후속 열처리 공정시 아웃가싱되는 양을 최소화시킬 수 있다. 따라서, 열처리 공정시 파티클 발생을 억제할 수 있다.

또한, 본 발명에서 하드 베이킹 이후에 코팅막의 두께가 MCFT 이상인 경우에는 에치백 공정이나 CMP 공정으로 코팅막의 두께가 MCFT 이하가 되도록 가공하는 공정을 더 포함하는 것이 바람직하다.

또한, 하드 베이킹 공정을 스킵하고 코팅막의 두께가 MCFT 이상인 경우에는 에치백 공정이나 CMP 공정으로 코팅막의 두께가 MCFT 이하가 되도록 가공하는 공정을 더 포함하는 것도 가능하다.

본 발명에서 폴리실라잔 코팅막은 구조식이 $-(\text{SiH}_2\text{NH})_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔 3 내지 15중량% 및 응매 97 내지 85중량%를 포함한다.

본 발명에 따른 스프인온글래스 조성물은, 구조식이 $-(\text{SiH}_2\text{NH})_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔을 포함한다.

폴리실라잔의 제조 방법은 공지되어 있다. 대표적인 방법으로는 할로실란과 루이스 염기를 반응시키고, 수득한 복합체(complex compound)를 암모니아와 반응시켜서 제조할 수 있다.

이외에도, SiCl_4 또는 SiH_2Cl_2 와 같은 실리콘 할라이드와 아민을 반응시켜 폴리실라잔을 합성하는 방법, 실라잔을 알칼리금속할라이드촉매를 사용하여 폴리실라잔으로 전환하는 방법, 전이 금속 복합촉매(transition metal complex compound)를 사용하여 아민 화합물로 실란 화합물을 탈수소(dehydrogenation)하는 방법 등이 공지되어 있다.

또한, 미합중국 특허 제5,494,978호(issued to Yasuo Shimizu et. al.)에는 수평균 분자량이 100 내지 100,000인 무기 폴리실라잔을 이용하여 변성된 폴리실라잔을 제조하는 방법이 개시되어 있다.

미합중국 특허 제5,905,130호(issued to Hirohiko Nakahara et al.)에는 폴리아미노실란 화합물과 폴리하이드로겐화된 질소 함유 화합물(polyhydrogenated nitrogen-containing compound)를 염기촉매하에서 반응시키거나, 폴리하이드로겐화 실리콘 화합물(polyhydrogenated silicon compound)과 폴리하이드로겐화 질소-함유 화합물을 염기성 고체 산화물 촉매(basic solid oxide catalyst)의 존재하에 반응시켜서 폴리실라잔을 제조하는 방법이 개시되어 있다.

미합중국 특허 제5,436,398호(issued to Yasuo Shimizu et al.)에도 수평균 분자량이 1,120인 퍼하이드

로 폴리실라잔의 제조예가 개시되어 있다.

미합중국 특허 제4937304호(issued to Ayama et al.) 및 제4950381호(issued to Takeuchi et al.)에는 원하는 분자량을 갖는 폴리실라잔을 제조하는 방법이 개시되어 있다.

본 발명에서 사용되는 폴리실라잔의 제조 방법에는 특별한 제한은 없다. 상술한 방법에 의해 폴리실라잔은 용이하게 제조할 수 있다.

상술한 공지된 방법에 의해 제조된 퍼하이드로 폴리실라잔을 본 발명에 사용할 수 있도록 분자량에 따른 분별법(fractionation)을 이용하여 분류하여 사용한다.

본 발명에서 사용되는 폴리실라잔의 중량평균 분자량이 4,000보다 적으면, 작은 분자량에 의해 탈기(outgassing)가 증가하고, 산화 실리콘으로 지나치게 빨리 전화하여 크랙발생이 용이해서 바람직하지 않고, 8,000을 초과하면, SOG용액의 점도가 증가하여 코팅시의 생성되는 SOG막의 균일성(uniformity)이 떨어져서 바람직하지 않다. 따라서, 퍼하이드로 폴리실라잔의 분자량은 4,000 내지 8,000, 바람직하게는 4,500 내지 7,000이다.

또한, 중량평균 분자량과 수평균 분자량의 비인 폴리실라잔의 분자량 분포도가 3.0보다 작으면, 폴리실라잔을 분류할 때의 효율성이 떨어져서 제조 수율이 너무 낮아서 바람직하지 않고, 4.0을 초과하면, 산화 실리콘의 전환이 불균일해서 바람직하지 않다. 따라서, 폴리실라잔의 분자량 분포도는 3.0 내지 4.0인 것이 바람직하다.

상술한 폴리실라잔을 유기 용매에 용해시켜서 SOG용액을 제조한다. 본 발명에서 사용될 수 있는 유기 용매로서는 특별한 제한은 없다. 바람직하게는, 크실렌과 같은 방향족계 용매, 디부틸에테르와 같은 에테르 등을 사용할 수 있다.

폴리실라잔을 포함하는 SOG 용액은 하부막 예를 들면, 실리콘 질화막에 대하여 4° 이하의 콘택트 각을 갖는 것이 바람직하다. 콘택트각이 4° 보다 크면, 하부막과의 부착력(adhesion)이 나빠서 바람직하지 않다.

상기 SOG용액은 일정한 전단 속도에서 1 내지 10 mPa.s, 바람직하게는 1 내지 8 mPa.s의 일정한 점도를 갖는다. 본 발명에 따른 SOG용액은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 갖는다.

상기 SOG용액은 필요에 따라서는 붕소, 불소, 인, 비소, 탄소, 산소 등과 같은 원소를 포함하는 화합물을 불순물로서 적어도 하나 포함할 수 있다. 이러한 불순물중에서, 붕소, 불소, 인, 비소와 같은 원소를 SOG용액에 첨가하는 경우에는, SOG용액으로부터 생성되는 산화 실리콘막이 불순물을 포함하게 되어 종래의 BSG막, BPSG막, PSG막과 유사한 특성을 갖는 막으로 전환된다. 또한, 탄소나 산소와 같은 원소를 포함하는 화합물을 불순물로서 첨가하면, 산화 실리콘막으로의 전환되는 속도를 촉진시킬 수 있다.

상기한 방법에 의해 형성된 상기 SOG막을 경화하여 평탄한 표면을 갖는 산화 실리콘막으로 전환시킨다. 경화 단계는 프리 베이킹 단계 및 하드 베이킹 단계로 구분된다.

프리 베이킹을 50℃ 내지 350℃ 범위 내에서 2 내지 3분간씩 다단계로 수행한다.

하드 베이킹은 프리 베이킹에 비하여 더 높은 온도에서 장시간 진행한다. 즉, 300 내지 500℃ 범위 내에서 산소분위기, 수증기 분위기, 수증기 및 산소 혼합 분위기의 산화분위기나 질소 분위기 및 진공과 같은 불활성 분위기로 10분 내지 120분 동안 진행한다. 하드 베이킹은 코팅막 내에 SiH₄ 성분의 아웃가싱을 촉진시켜서 후속 어닐링공정시 SiH₄ 성분이 아웃가싱되는 양을 최소화시키기 위한 것이다.

하드 베이킹에서 500℃이상의 온도에서 수행하면, 어닐링 공정에서의 폴리 실라잔이 실리콘 산화물로써의 전환이 용이하지 않을 뿐만 아니라 표면이 급격하게 산화 실리콘으로 전환됨에 따라서 크랙이 발생되어 생성되는 산화 실리콘 막이 균일하지 않아서 바람직하지 않다.

어닐링 단계는 600 내지 1200℃ 범위 내에서 산소분위기, 수증기 분위기, 수증기 및 산소 혼합 분위기의 산화분위기로 10분 내지 120분 정도 진행한다.

폴리실라잔계의 SOG는 기본 골격의 Si-N결합으로 구성되고, 산소 및 물을 포함하는 분위기 중에서 베이킹하면 Si-N 결합이 Si-O결합으로 치환되는 것으로 알려져 있다. 종래 방법에 의하면, 일반적으로 모든 Si-N 결합이 Si-O 결합으로 치환되지는 않는다. 그렇지만, 본 발명에 따른 폴리실라잔을 함유하는 SOG용액을 사용하여 코팅하여 SOG 막을 형성한 후, 경화 공정을 수행하는 경우에 Si-N결합이 없어 CVD 방법에 의해 형성된 산화 실리콘막과 실질적으로 동일한 특성을 갖는 산화막을 제조할 수 있다.

어닐링 공정의 온도가 600℃미만인 경우에는 경화가 충분하지 않아서 Si-N 결합이 잔류하여 산화막의 특성에 악영향을 미칠 염려가 있어서 바람직하지 않고, 어닐링 공정의 온도가 1200℃보다 높은 경우에는, 생성되는 실리콘 산화막의 평탄도가 저하되거나 크랙이 발생하여 바람직하지 않다.

또한, 어닐링 공정의 수행시간이 10분 보다 작은 경우에는 SOG막이 실리콘 산화막으로의 전환이 불충분해서 바람직하지 않고, 120분을 초과하는 경우에는 생성되는 실리콘 산화막의 응력이 증가하여 바람직하지 않다.

어닐링 공정은 Si-N 결합을 Si-O결합으로 전환하는 데 적합한 분위기인 산화성 분위기에서 수행한다. 예를 들면, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기에서 수행하는 것이 바람직하다. 특히, 수증기 분위기에서 수행하는 것이 바람직하다. 이 때, 분위기중에서의 수분은 1.2 내지 86중량%로 유지하는 것이 바람직하다.

본 발명에 따른 방법에 의해 SOG 조성물을 이용하여 두께가 5000 내지 10000Å인 산화 실리콘막을 형성할 수 있다.

스핀 온 글래스 조성물의 제조는 다음과 같다.

시판중인 퍼하이드로 폴리실라잔을 구입하여 분별법(fractionation)에 의해 중량 평균 분자량이 4500 내지 7000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔을 수득한다. 수득한 퍼하이드로 폴리실라잔을 크실렌에 22 내지 25중량%의 농도로 용해시켜서 스핀온글래스 조성물을 제조하였다. 수득한 SOG 조성물은 하지막으로서 질화 실리콘막에 대한 콘택트 각을 측정한 결과 4° 이하의 콘택트 각을 나타냈다.

상기 SOG 조성물은 전단 속도를 변화 시켜가면서 점도를 측정한 결과 도 5에 나타난 바와 같은 점도 특성을 나타내었다.

도 5는 전단 속도 변화에 따른 상기 SOG 용액의 점도 변화를 나타낸 그래프이다. 도 5의 그래프에서 세로축은 점도(단위: mPa.s)를 나타내고, 세로축은 전단 속도(1/s)를 나타낸다. 도 5로부터 알 수 있는 바와 같이, 상기 SOG용액은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 나타낼 수 있다.

도 6 내지 도 10을 참조하여 본 발명에 의한 층간 절연막 형성공정을 설명한다.

도 7를 참조하면, 기판(10) 상에 통상의 반도체 제조공정에 의해 액티브 소자를 형성한 다음에 절연막으로 덮고 절연막 상에 금속 배선패턴(12)이 형성된 웨이퍼를 준비한다(S10).

도 8을 참조하면, 상기 BPSG, HDP 산화막 또는 폴리실라잔 SOG막을 증착하여 금속 배선패턴(12)을 완전히 덮도록 절연막(14)을 형성한다(S12).

도 9를 참조하면, SiO₂, CeO₂, Al₂O₃, Mn₂O₃을 베이스로 하는 슬러리를 공급하면서 플 CMP 방법으로 절연막(14)을 연마하여 금속 배선패턴(12)의 표면이 노출될 때까지 절연막(14)을 제거한다(S14). 이 때, 사용되는 슬러리는 금속배선에 비하여 절연막(14)에 대해 식각선택비가 높기 때문에 플 CMP 공정에 의해 과연마되어 금속배선패턴의 상면보다 더 깊게 제거된다. 이에 남겨진 절연막과 금속배선 사이에 단차를 가지게 된다.

도 10을 참조하면, 단차를 가진 결과를 상에 코팅막(18)을 형성하기 위하여 본 발명의 폴리실라잔 코팅 용액을 스프인코팅한다(S16).

이어서, 코팅막(16)을 50 내지 350℃ 범위 내에서 1내지 5분간 다단계로 프리 베이킹한다(S18).

다음에 온도를 300 내지 500℃ 범위로 상승시키고 H₂O 분위기에서 10 분 내지 120분 정도 하드 베이킹을 진행한다(S20). 하드 베이킹 진행에 의해 코팅막(16) 내의 SiH₄ 성분이 충분히 아웃가싱된다.

다음에 코팅막을 산화막으로 변환시키기 위하여 어닐링 공정을 진행한다(S22). 어닐링 공정 조건은 600 내지 1200℃ 범위 내에서 산소분위기, 수증기 분위기, 수증기 및 산소 혼합 분위기의 산화분위기로 10분 내지 120분 정도 진행한다.

그러면, Si-N결합은 Si-O 결합으로 치환되어, 평탄한 표면을 갖는 실리콘 산화막으로 전환된다.

이 때, 하드 베이킹 단계에서 충분히 SiH₄ 성분이 제거된 상태이므로 파티클 발생이 억제된다. 그러므로, 후속 웨이퍼의 어닐링 공정시 파티클에 의한 데미지를 감소시킬 수 있어서, 산화막의 두께를 MCFT 이하로 제어할 수 있어서 크랙발생을 억제할 수 있게 된다.

도 11은 프리 베이킹된 상태에서 SOG막을 FT-IR로 광흡수도를 측정하였다. 도 11에서 알 수 있는 바와 같이, 프리 베이킹 후에는, 소정의 파장 범위에서 N-H, Si-H, Si-N, Si-H등의 결합을 나타내는 흡수 피크를 나타냈다. 이 때, 스트레스 값을 스트레스 게이지로 측정한 결과 3.63×10^8 (Dyne/cm₂)를 나타냈다. 즉, Si-H 성분이 존재함을 알 수 있다. 따라서, 본 발명에서는 Si-H 성분을 하드 베이킹 단계에서 미리 아웃가싱시킨다. 그러므로, 후속 어닐링 공정시 Si-H 성분과 산화 분위기 가스의 반응에 의해 생성되는 부산물의 발생을 억제시킬 수 있는 것이다.

도 12는 어닐링 후, 측정한 광흡수도를 나타내는 FT-IR 그래프이다. 도 12에서 알 수 있는 바와 같이, 어닐링 후에는, 소정의 파장 범위에서 Si-O의 결합만을 나타내는 흡수 피크를 나타냈다. 이 때, 스트레스 값을 측정한 결과 -1.22×10^8 (Dyne/cm₂)를 나타냈다. 도 12로부터, SOG막내의 Si-N결합은 Si-O결합으로 모두 변환되어 완전한 산화 실리콘막으로 전환되었음을 알 수 있다.

또한, 본 발명의 하드 베이킹 단계를 수행한 폴리실라잔 코팅막의 습식 식각을 특성을 살펴보면 다음과 같다.

본 발명에 의해 형성된 폴리실라잔 실리콘 산화막의 습식 식각율(Å/min)특성을 다른 산화막들과 비교하면 다음

(표 1)과 같다.

[표 1]

	LAL 500	LAL 200	100:1 HF	고온 SC1	저온 SC1	황산 보일	NOR
HDP 옥사이드	900	-	50	3	1	1	30
폴리실라잔 산화막	1100	520	70	5	1	1	30
폴리실록산(F0x) 산화막	-	1080	130	8	2	2	310

표 1에 나타난 바와 같이, 본 발명에 의한 폴리실라잔 실리콘 산화막은 하드 베이킹 단계를 거침에도 불구하고 다른 산화막들과 거의 동일한 식각율을 가짐을 알 수 있다. 따라서, 하드 베이킹을 하더라도 폴리실라잔 스피너 온 글래스 코팅막의 식각 특성을 그대로 유지함을 알 수 있다. 그러므로, 반도체 공정에서 다른 산화막과 조합하여 사용하는 것이 가능하다.

상술한 바와 같이 본 발명은 기재된 실시예에 대해서만 상세히 설명되었지만 본 발명의 기술사상 범위 내에서 다양한 변형 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부된 특허청구범위에 속함은 당연한 것이다. 상술한 실시예에서는 금속배선의 층간 절연막에 대해 설명하였지만 여기에 국한되는 것이 아니라 트렌치형 소자분리층에서 트렌치를 채우는 물질, 또는 워드라인 및 비트라인의 절연막으로 사용하는 것도 가능하다.

발명의 효과

본 발명에 의하면, 풀 CMP 공정 후 노출된 패턴을 램핑하는 물질로 폴리실라잔 실리콘 산화막을 사용시에 파티클 발생을 억제하기 위하여 코팅막의 베이킹 단계에서 하드 베이킹을 수행한다. 그러므로, 어닐링 공정 전에 코팅막에 함유된 SiH_4 가스를 충분히 아웃가싱할 수 있다. SiH_4 의 아웃가싱 후에 어닐링 공정을 수행함으로써 후속 웨이퍼의 어닐링 공정시 파티클 발생 및 오염을 방지함으로써 형성된 폴리실라잔 실리콘 산화막의 크랙발생을 억제할 수 있다.

또한, 어닐링 공정 전에 코팅막의 두께가 MCFT 이하가 되도록 CMP 공정 또는 에치 백 공정으로 코팅막의 두께를 낮춤으로써 폴리실라잔 실리콘 산화막의 크랙발생을 억제할 수 있다. 따라서, 반도체 장치의 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

금속 배선패턴이 형성된 반도체 기판 상에 절연막을 형성하는 단계;

상기 금속 배선패턴의 상면이 노출되도록 상기 절연막을 풀 CMP공정으로 연마하는 단계;

코팅막을 형성하기 위하여 상기 결과를 상에 폴리실라잔을 포함하는 스피너 온 글래스 코팅 용액을 도포하는 단계;

상기 코팅막을 50 내지 350℃ 정도로 프리 베이킹하고, 이어서, 300 내지 500℃ 정도로 하드 베이킹하는 단계;

상기 코팅막을 산화분위기에서 열처리하는 단계를 구비한 것을 특징으로 하는 층간 절연막 형성방법.

청구항 2

제 1 항에 있어서, 상기 절연막은 BPSG, HDP 산화막, 폴리실라잔 함유 스피너 온 글래스 산화막 중 어느 하나 인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 3

제 2 항에 있어서, 상기 CMP 공정의 슬러리는 SiO_2 , CeO_2 , Al_2O_3 , Mn_2O_3 을 베이스로 하는 슬러리인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 4

제 1 항에 있어서, 상기 폴리실라잔 스피너 온 글래스 용액은

구조식이 $-(\text{SiH}_2\text{NH})_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔 3 내지 15중량% 및 용매 97 내지 85중량%을 포함하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 5

제 4 항에 있어서, 상기 스피너 온 글래스 용액은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의

일정한 정도를 갖는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 6

제 4 항에 있어서, 상기 스핀 온 글래스 용액은 하지막에 대하여 4° 이하의 콘택트 각을 갖는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 7

제 4 항에 있어서, 상기 스핀 온 글래스 용액은 붕소, 불소, 인, 비소, 탄소 및 산소로 구성된 군에서 선택된 적어도 하나의 원소를 포함하는 불순물을 포함하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 8

제 4 항에 있어서, 상기 용액은 크실렌 또는 디부틸에테르인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 9

제 1 항에 있어서, 상기 열처리 단계의 온도 범위는 600 내지 1,200℃인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 10

제 9 항에 있어서, 상기 열처리 단계는 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기 등의 산화분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 11

제 1 항에 있어서, 상기 코팅막의 두께가 500 내지 10,000 Å인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 12

제 1 항에 있어서, 상기 하드 베이킹 단계는 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기의 어느 한 산화분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 13

제 1 항에 있어서, 상기 하드 베이킹 단계는 질소 분위기, 진공 등의 어느 한 불활성 분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 14

제 1 항에 있어서, 상기 하드 베이킹 이후, 코팅막의 최대 두께가 크랙발생 임계 두께 이상일 경우에는 크랙발생 임계 두께 이하로 낮추는 공정을 더 구비하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 15

제 13 항에 있어서, 상기 코팅막의 두께 낮추기 공정은 CMP공정, 에치백 공정 중의 어느 하나 인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 16

도전 패턴이 형성된 반도체 기판 상에 절연막을 형성하는 단계;

상기 도전 패턴의 상면이 노출되도록 상기 절연막을 플 CMP공정으로 연마하는 단계;

코팅막을 형성하기 위하여 상기 결과를 상에 폴리실라잔을 포함하는 스핀 온 글래스 코팅 용액을 도포하는 단계;

상기 코팅막을 500℃ 이하의 온도에서 프리 베이킹하는 단계;

상기 프리 베이킹 이후, 상기 코팅막의 최대 두께가 코팅막의 최대 두께가 크랙발생 임계 두께 이상일 경우에는 크랙발생 임계 두께 이하로 낮추는 단계;

상기 코팅막을 산화분위기에서 열처리하는 단계를 구비한 것을 특징으로 하는 층간 절연막 형성방법.

청구항 17

단차가 형성된 패턴이 형성된 반도체 기판 상에 절연막을 형성하는 단계;

상기 패턴의 상면이 노출되도록 상기 절연막을 플 CMP공정으로 연마하는 단계;

코팅막을 형성하기 위하여 상기 결과를 상에 폴리실라잔을 포함하는 스핀 온 글래스 코팅 용액을 도포하는 단계;

상기 코팅막을 제 1 소정 온도 범위에서 프리 베이킹하고, 이어서, 제 1 소정 온도 보다 높은 제 2 소정 온도 범위에서 하드 베이킹하는 단계;

상기 코팅막을 상기 제 2 소정 온도 보다 높은 제 3 소정 온도범위에서 산화분위기에서 열처리하는 단계를 구비한 것을 특징으로 하는 층간 절연막 형성방법.

청구항 18

단차가 형성된 패턴이 형성된 반도체 기판 상에 코팅막을 형성하기 위하여 폴리실라잔을 포함하는 스피너 코팅 용액을 도포하는 단계;

상기 도포된 코팅 용액을 경화시켜서 코팅막을 형성하는 단계;

상기 형성된 코팅막 내의 실란 가스 성분을 아웃가싱하는 단계; 및

상기 코팅막을 산화막으로 변환하기 위하여 어닐링하는 단계를 구비하는 것을 특징으로 하는 절연막 형성방법.

청구항 19

제 18 항에 있어서, 상기 폴리실라잔 스피너 코팅 용액은

구조식이 $-(SiH_2NH)_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔 20 내지 30중량%; 및 용매 80 내지 70중량%를 포함하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 20

제 19 항에 있어서, 상기 스피너 코팅 용액은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 갖는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 21

제 19 항에 있어서, 상기 스피너 코팅 용액은 하지막에 대하여 4° 이하의 콘택트 각을 갖는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 22

제 19 항에 있어서, 상기 스피너 코팅 용액은 붕소, 몰리브덴, 인, 비소, 탄소 및 산소로 구성된 군에서 선택된 적어도 하나의 원소를 포함하는 불순물을 포함하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 23

제 19 항에 있어서, 상기 용매는 크실렌 또는 디부틸에테르인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 24

제 18 항에 있어서, 상기 어닐링 단계의 온도 범위는 600 내지 1,200°C인 것을 특징으로 하는 층간 절연막 형성방법.

청구항 25

제 24 항에 있어서, 상기 열처리 단계는 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기 등의 산화분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 층간 절연막 형성방법.

청구항 26

제 18 항에 있어서, 상기 경화 단계는 50 내지 350°C 정도의 온도 범위에서 다단계로 프리 베이킹하는 것을 특징으로 하는 절연막 형성방법.

청구항 27

제 26 항에 있어서, 상기 아웃가싱 단계는 300 내지 500°C 정도의 온도 범위에서 하드 베이킹하는 것을 특징으로 하는 절연막 형성방법.

청구항 28

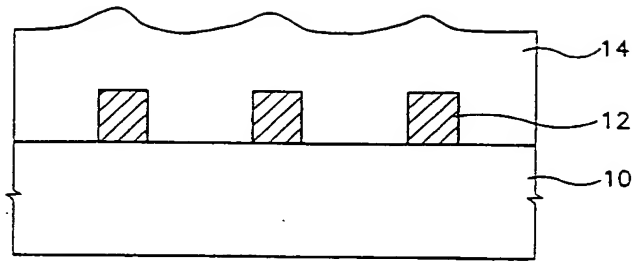
제 27 항에 있어서, 상기 하드 베이킹 단계는 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기의 어느 한 산화분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 절연막 형성방법.

청구항 29

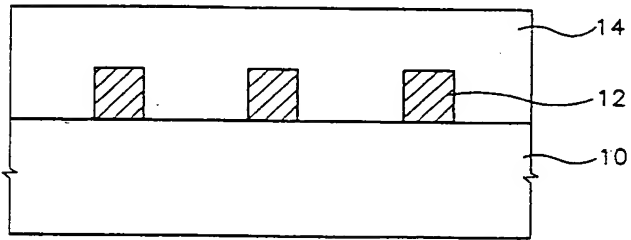
제 27 항에 있어서, 상기 하드 베이킹 단계는 질소 분위기, 진공 등의 어느 한 불활성 분위기에서 10 내지 120분간 진행하는 것을 특징으로 하는 절연막 형성방법.

도면

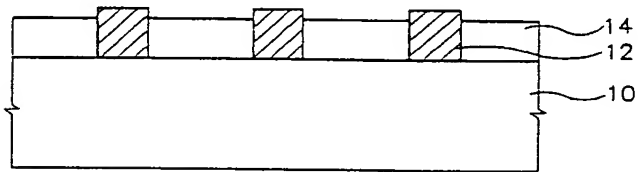
도면1



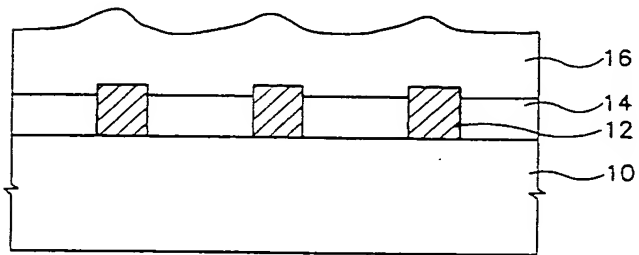
도면2



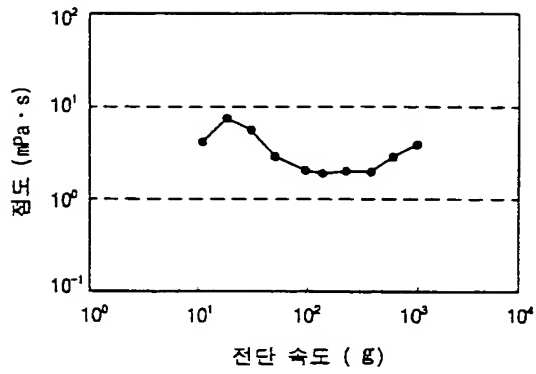
도면3



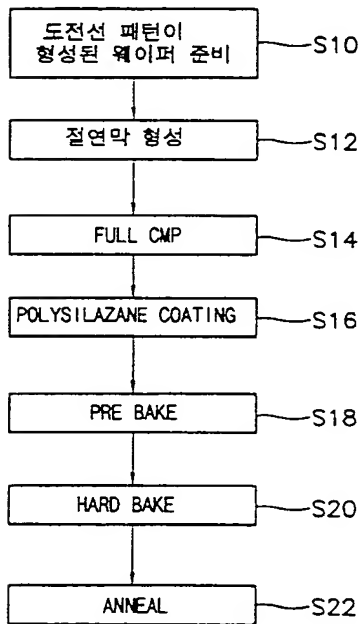
도면4



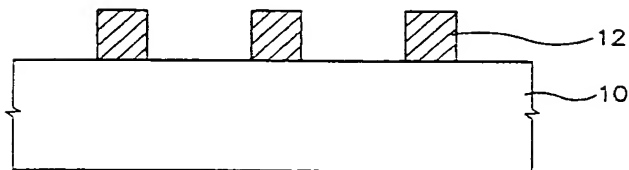
도면5



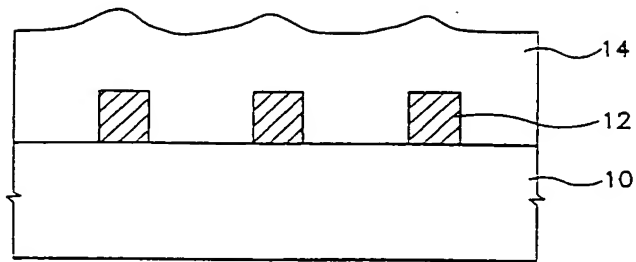
도면6



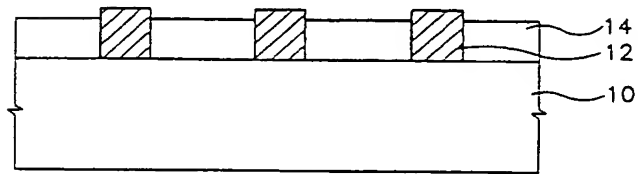
도면7



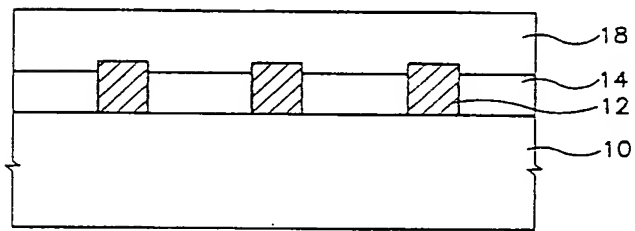
도면8



도면9



도면10



도면 11

